Esercizi vari con soluzione

1 Esercizi sulle Reti Combinatorie

1.1 Esercizio

Data la seguente mappa:

x_1x_0 \ x_3x_2	00	01	11	10
00	1	0	0	-
01	-	1	0	-
11	-	1	-	0
10	-	1	0	1

z

1. indicare e classificare tutti gli implicanti principali;
2. trovare tutte le possibili liste di copertura cui corrispondono forme di tipo SP di costo minimo secondo il criterio di costo a porte;
3. per ognuna delle liste di copertura trovate nel punto 2, individuare e classificare le eventuali alee del primo ordine presenti, e modificare la corrispondente lista in modo da eliminare le alee;
4. effettuare una nuova sintesi della mappa a costo minimo e priva di alee utilizzando esclusivamente porte NOR.

Specificare le espressioni utilizzando esclusivamente le variabili e l'ordinamento della mappa.

Soluzione

Gli implicanti principali sono:

$A = x_2 \cdot x_1 \cdot x_0$, $B = \overline{x}_3 \cdot \overline{x}_2$, $C = \overline{x}_2 \cdot \overline{x}_1$, $D = \overline{x}_2 \cdot \overline{x}_0$, $E = \overline{x}_3 \cdot x_0$, $F = \overline{x}_3 \cdot x_1$.

Gli implicanti *D*, *E*, e *F* sono essenziali, gli altri risultano assolutamente eliminabili. L'unica lista di copertura di costo minimo, indipendentemente dal criterio, è quindi {*D*, *E*, *F*}, cui corrisponde la forma SP di costo minimo:

$z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_3 \cdot x_0 + \overline{x}_3 \cdot x_1$.

Tale forma presenta un'alea statica del primo ordine sul livello uno nel passaggio dallo stato d'ingresso 'B0000 a 'B0001. L'alea può essere eliminata aggiungendo alla lista di copertura l'implicante *B* oppure l'implicante *C*.

Per la sintesi a porte NOR, si ottiene:

$z = \overline{\left(\overline{\overline{x}_2 + x_1 + x_0}\right) + \left(\overline{\overline{x}_3 + \overline{x}_2}\right) + \left(\overline{\overline{x}_3 + \overline{x}_0}\right)}$.

1.2 Esercizio

Data la seguente mappa:

x_1x_0 \ x_3x_2	00	01	11	10
00	1	-	0	-
01	0	-	1	-
11	0	1	-	-
10	-	0	0	1

z

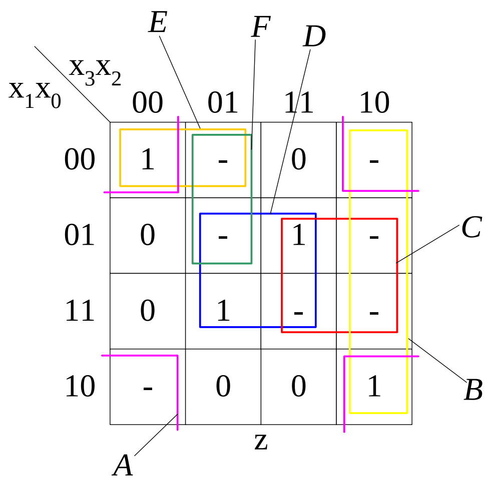
1. indicare e classificare gli implicanti principali;
2. trovare tutte le possibili liste di copertura non ridondanti, ed individuare quelle cui corrispondono forme di tipo SP di costo minimo secondo il criterio di costo a porte;
3. per ognuna delle liste di copertura non ridondanti (a costo minimo e non) trovate nel punto 2, individuare e classificare le eventuali alee del primo ordine presenti, e modificare la corrispondente lista in modo da eliminare tali alee;
4. effettuare una nuova sintesi della mappa a costo minimo e priva di alee utilizzando esclusivamente porte NOR.

Specificare le espressioni utilizzando esclusivamente le variabili e l'ordinamento della mappa.

Soluzione

Gli implicanti principali sono:

$A = \overline{x}_2 \cdot \overline{x}_0$, $B = x_3 \cdot \overline{x}_2$, $C = x_3 \cdot x_0$, $D = x_2 \cdot x_0$, $E = \overline{x}_3 \cdot \overline{x}_1 \cdot \overline{x}_0$, $F = \overline{x}_3 \cdot x_2 \cdot \overline{x}_1$.



Dalla mappa, in cui sono evidenziati i sottocubi corrispondenti, si può desumere che

- l'implicante *D* è essenziale,
- gli implicanti *C* ed *F* sono assolutamente eliminabili,
- i rimanenti implicanti *A*, *B* ed *E* sono semplicemente eliminabili.

Le liste di copertura irridondanti principali sono {*D*, *A*} e {*D*, *B*, *E*}, cui corrispondono rispettivamente le seguenti forme SP:

1. $z = x_2 \cdot x_0 + \overline{x}_2 \cdot \overline{x}_0$
2. $z = x_2 \cdot x_0 + x_3 \cdot \overline{x}_2 + \overline{x}_3 \cdot \overline{x}_1 \cdot \overline{x}_0$

La forma 1 è di costo minimo ed esente da alee, mentre la forma 2 presenta alee statiche del primo ordine sul livello uno nel passaggio dallo stato d'ingresso `0100` a `0101` (e viceversa), dallo stato d'ingresso `1000` a `0001` (e viceversa), e dagli stati d'ingresso `10-1` a `11-1` (e viceversa). Le alee possono essere eliminate aggiungendo alla lista di copertura gli implicanti *A*, *C* ed *F*. Si noti come

la necessità di aggiungere alla lista l’implicante *A* riconduca la forma 2 alla 1, quando è richiesta l'eliminazione delle alee.
Per la sintesi a porte NOR, si può procedere come segue:

$x_1x_0 \backslash x_3x_2$	00	01	11	10
00	0	-	1	-
01	1	-	0	-
11	1	0	-	-
10	-	1	1	0

$\overline{z}$

$x_1x_0 \backslash x_3x_2$	00	01	11	10
00	0	-	1	-
01	1	-	0	-
11	1	0	-	-
10	-	1	1	0

$\overline{z}$

Nessuno degli implicanti è essenziale, ma si individua facilmente la lista di copertura non ridondante a costo minimo, che assicura inoltre l’assenza di alee statiche del primo ordine:

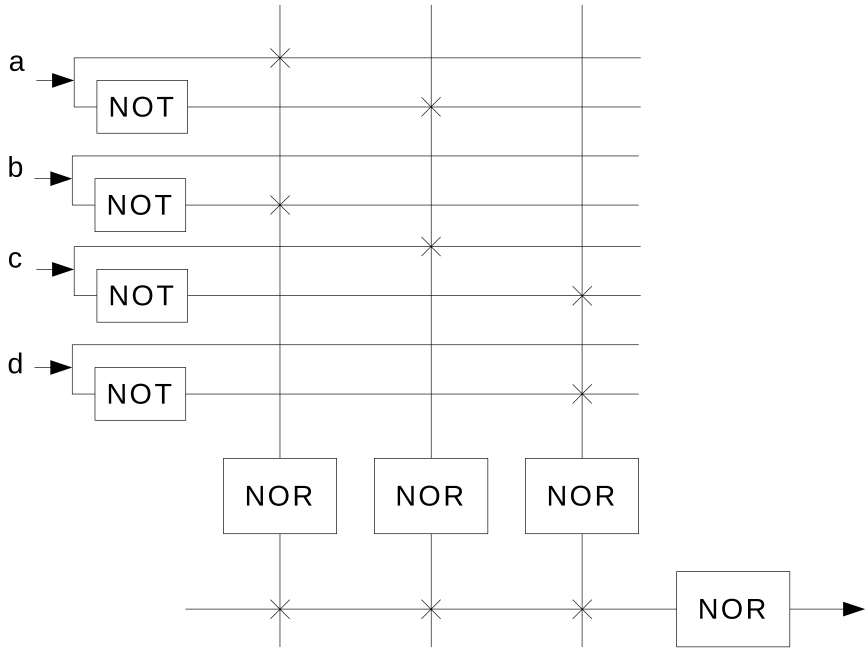
$\overline{z} = \overline{x}_2 \cdot x_0 + x_2 \cdot \overline{x}_0$

ovvero, a porte NOR,

$z = \overline{\overline{\left(x_2 + \overline{x}_0\right)} + \overline{\left(\overline{x}_2 + x_0\right)}}\,.$

1.3 Esercizio

Verificare e giustificare il fatto che il circuito in figura è affetto da Alee del I ordine. Modificare poi il circuito in modo da eliminare dette Alee.



Soluzione

La forma PS corrispondente al circuito è:

$z = \left(a + \overline{b}\right) \cdot \left(\overline{a} + c\right) \cdot \left(\overline{c} + \overline{d}\right).$

La mappa di Karnaugh corrispondente è:

cd \ ab	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	0	0	0

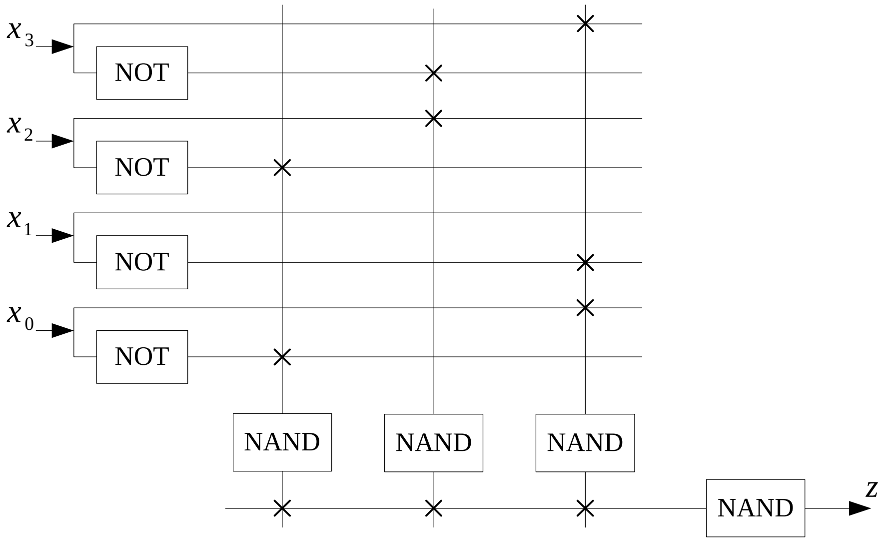
10	1	0	1	1

Dalla mappa si rileva la presenza di alee statiche sullo zero. Il circuito privo di alee si ottiene dalla seguente forma PS ridondante:

$$z = \left(a + \overline{b}\right) \cdot \left(\overline{a} + c\right) \cdot \left(\overline{c} + \overline{d}\right) \cdot \left(\overline{b} + c\right) \cdot \left(\overline{a} + \overline{d}\right).$$

1.4 Esercizio

Verificare e giustificare il fatto che il circuito in figura è affetto da Alee del I ordine. Modificare poi il circuito in modo da eliminare dette Alee.



Soluzione

Dal circuito a sole porte NAND si ricava per ispezione diretta la seguente forma SP corrispondente:

$$z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_3 \cdot x_2 + x_3 \cdot \overline{x}_1 \cdot x_0 .$$

La rete è stata quindi implementata come riportato nella seguente mappa di Karnaugh:

$x_1x_0 \backslash x_3x_2$	00	01	11	10
00	1	1	0	1
01	0	1	1	1
11	0	1	0	0
10	1	1	0	1

Si può rilevare la presenza di alee statiche sull'uno (p.e., nel passaggio dallo stato di ingresso da 0000 a 0100). Il circuito privo di alee si ottiene aggiungendo alla lista i sottocubi principali evidenziati in rosso nella seguente mappa.

$x_1x_0 \backslash x_3x_2$	00	01	11	10
00	1	1	0	1
01	0	1	1	1
11	0	1	0	0
10	1	1	0	1

La forma SP ridondante che si ottiene è:

$$z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_3 \cdot x_2 + x_3 \cdot \overline{x}_1 \cdot x_0 + \overline{x}_3 \cdot \overline{x}_0 + x_2 \cdot \overline{x}_1 \cdot x_0 + x_3 \cdot \overline{x}_2 \cdot \overline{x}_1 .$$

1.5 Esercizio

x_1x_0 \ x_3x_2	00	01	11	10
00	-	0	0	1
01	1	1	-	-
11	0	-	0	0
10	-	1	0	1

z

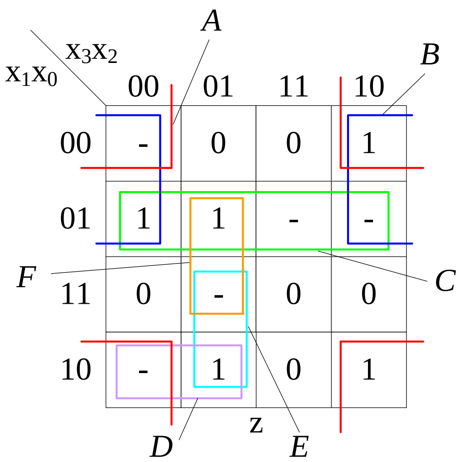
1. indicare e classificare gli implicanti principali;
2. trovare tutte le possibili liste di copertura non ridondanti, ed individuare quelle cui corrispondono forme di tipo SP di costo minimo secondo il criterio di costo a porte;
3. per ognuna delle liste di copertura non ridondanti di costo minimo trovate nel punto 2, individuare e classificare le eventuali alee del primo ordine presenti, e modificare la corrispondente lista in modo da eliminare tali alee;

Specificare le espressioni utilizzando esclusivamente le variabili e l'ordinamento della mappa.

Soluzione

Gli implicanti principali sono:

$A = \overline{x}_2 \cdot \overline{x}_0$, $B = \overline{x}_2 \cdot \overline{x}_1$, $C = \overline{x}_1 \cdot x_0$, $D = \overline{x}_3 \cdot x_1 \cdot \overline{x}_0$, $E = \overline{x}_3 \cdot x_2 \cdot x_1$, $F = \overline{x}_3 \cdot x_2 \cdot x_0$.



Dalla mappa, in cui sono evidenziati i sottocubi corrispondenti, si può desumere che

- l'implicante *A* è essenziale,
- i rimanenti implicanti *B*, *C*, *D*, *E*, ed *F* sono semplicemente eliminabili.

Le liste di copertura irridondanti principali sono {*A*, *C*, *D*}, {*A*, *C*, *E*}, {*A*, *B*, *F*, *D*} e {*A*, *B*, *F*, *E*}, cui corrispondono rispettivamente le seguenti forme SP:

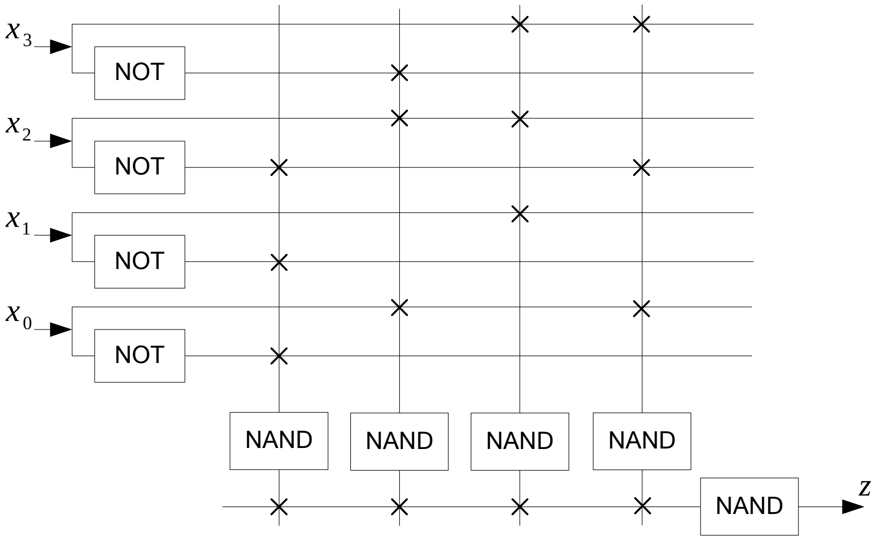
3. $z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_1 \cdot x_0 + \overline{x}_3 \cdot x_1 \cdot \overline{x}_0$, costo a porte: 4
4. $z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_1 \cdot x_0 + \overline{x}_3 \cdot x_2 \cdot x_1$, costo a porte: 4
5. $z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_2 \cdot \overline{x}_1 + \overline{x}_3 \cdot x_2 \cdot x_0 + \overline{x}_3 \cdot x_1 \cdot \overline{x}_0$, costo a porte: 5
6. $z = \overline{x}_2 \cdot \overline{x}_0 + \overline{x}_2 \cdot \overline{x}_1 + \overline{x}_3 \cdot x_2 \cdot x_0 + \overline{x}_3 \cdot x_2 \cdot x_1$, costo a porte: 5

Le forme 1 e 2 sono entrambe di costo minimo.

La forma 1 presenta un'alea statica del primo ordine sul livello uno nel passaggio dallo stato d'ingresso `?000` a `?001` (e viceversa), che può essere eliminata aggiungendo l'implicante *B* alla lista di copertura, che diventa {*A*, *B*, *C*, *D*}

1.6 Esercizio

Verificare e giustificare il fatto che il circuito in figura è affetto da Alee del I ordine. Modificare poi il circuito in modo da eliminare dette Alee.



Soluzione

Dal circuito a sole porte NAND si ricava per ispezione diretta la seguente forma SP corrispondente:

$z = \overline{x}_2\overline{x}_1\overline{x}_0 + \overline{x}_3 x_2 x_0 + x_3 x_2 x_1 + x_3\overline{x}_2 x_0$.

La rete è stata quindi implementata come riportato nella seguente mappa di Karnaugh:

x_1x_0 \ x_3x_2	00	01	11	10
00	1	0	0	1
01	0	1	0	1
11	0	1	1	1
10	0	0	1	0

Si può rilevare la presenza di alee statiche sull'uno (p.e., nel passaggio dallo stato di ingresso da 1000 a 1001). Il circuito privo di alee si ottiene aggiungendo alla lista i sottocubi principali evidenziati in rosso nella seguente mappa.

x_1x_0 \ x_3x_2	00	01	11	10
00	1	0	0	1
01	0	1	0	1
11	0	1	1	1
10	0	0	1	0

La forma SP ridondante che si ottiene è:

$z = \overline{x}_2\overline{x}_1\overline{x}_0 + \overline{x}_3 x_2 x_0 + x_3 x_2 x_1 + x_3\overline{x}_2 x_0 + x_2 x_1 x_0 + x_3 x_1 x_0 + x_3\overline{x}_2\overline{x}_1$.

1.7 Esercizio

Data la seguente mappa:

x_1x_0 \ x_3x_2	00	01	11	10
00	-	0	1	0
01	1	0	-	1
11	-	1	-	0
10	0	1	-	-

z

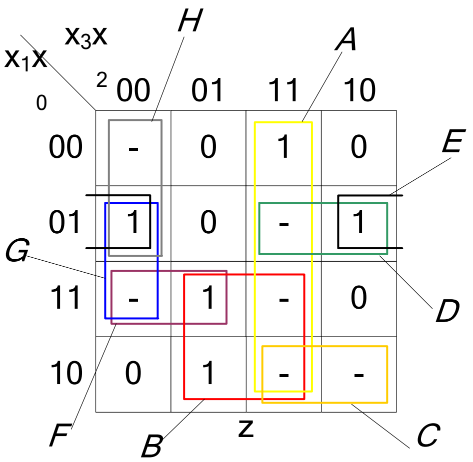
1. indicare e classificare gli implicanti principali;
2. trovare tutte le possibili liste di copertura non ridondanti, ed individuare quelle cui corrispondono forme di tipo SP di costo minimo secondo il criterio di costo a porte;
3. per ognuna delle liste di copertura non ridondanti di costo minimo trovate nel punto 2, individuare e classificare le eventuali alee del primo ordine presenti, e modificare la corrispondente lista in modo da eliminare tali alee;

Specificare le espressioni utilizzando esclusivamente le variabili e l'ordinamento della mappa.

Soluzione

Gli implicanti principali sono:

$A = x_3 \cdot x_2$, $B = x_2 \cdot x_1$, $C = x_3 \cdot x_1 \cdot \overline{x}_0$, $D = x_3 \cdot \overline{x}_1 \cdot x_0$, $E = \overline{x}_2 \cdot \overline{x}_1 \cdot x_0$, $F = \overline{x}_3 \cdot x_1 \cdot x_0$, $G = \overline{x}_3 \cdot \overline{x}_2 \cdot x_0$, $H = \overline{x}_3 \cdot \overline{x}_2 \cdot \overline{x}_1$.



Dalla mappa, in cui sono evidenziati i sottocubi corrispondenti, si può desumere che

- gli implicanti *A* e *B* sono essenziali,
- gli implicanti *C* ed *F* sono assolutamente eliminabili,
- i rimanenti implicanti *D*, *E*, *G* ed *H* sono semplicemente eliminabili.

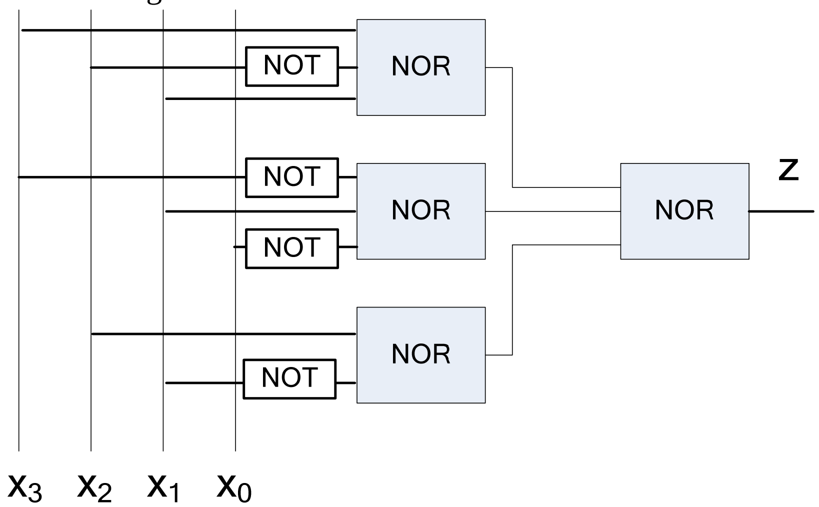
Le liste di copertura irridondanti principali sono {*A*, *B*, *E*}, {*A*, *B*, *D*, *G*} e {*A*, *B*, *D*, *H*}, cui corrispondono rispettivamente le seguenti forme SP:

7. $z = x_3 \cdot x_2 + x_2 \cdot x_1 + \overline{x}_2 \cdot \overline{x}_1 \cdot x_0$, costo a porte: 4
8. $z = x_3 \cdot x_2 + x_2 \cdot x_1 + x_3 \cdot \overline{x}_1 \cdot x_0 + \overline{x}_3 \cdot \overline{x}_2 \cdot x_0$, costo a porte: 5
9. $z = x_3 \cdot x_2 + x_2 \cdot x_1 + x_3 \cdot \overline{x}_1 \cdot x_0 + \overline{x}_3 \cdot \overline{x}_2 \cdot \overline{x}_1$, costo a porte: 5

La forma 1 è l'unica di costo minimo. Essa presenta un'alea statica del primo ordine sul livello uno nel passaggio dallo stato d'ingresso `1101` a `1001` (e viceversa), che può essere eliminata aggiungendo alla lista di copertura l'implicante *D*.

1.8 Esercizio

Data la rete combinatoria di figura:



1) disegnare la mappa di Karnaugh per la legge *z*, sapendo che non è possibile che si presentino stati di ingresso in cui tutte le variabili hanno lo stesso valore.
2) Individuare e classificare gli implicanti principali, e trovare *tutte* le liste di copertura irridondanti. Sintetizzare la rete in forma SP, scegliendo la realizzazione di costo minimo secondo il criterio a porte.
3) Individuare, classificare ed eliminare eventuali alee sulla realizzazione di cui al punto 2.

Una possibile soluzione

1) Dalla mappa si ricava immediatamente: $z = \overline{\left(\overline{x_3 + \overline{x_2} + x_1}\right) + \left(\overline{\overline{x_3} + x_1 + \overline{x_0}}\right) + \left(\overline{x_2 + \overline{x_1}}\right)}$, da cui:

$\overline{z} = \left(\overline{x_3} \cdot x_2 \cdot \overline{x_1}\right) + \left(x_3 \cdot \overline{x_1} \cdot x_0\right) + \left(\overline{x_2} \cdot x_1\right)$. Da quest'ultima, si ricava la mappa di Karnaugh per $\overline{z}$, e, tenendo conto di quanto scritto al punto 1), anche quella di *z*, riportate di seguito.

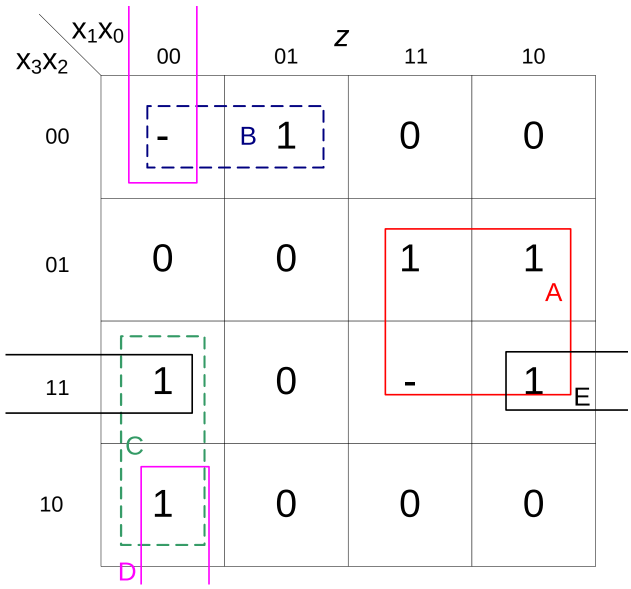
$\overline{z}$

x_3x_2 \ x_1x_0	00	01	11	10
00	-	0	1	1
01	1	1	0	0
11	0	1	-	0
10	0	1	1	1

z

x_3x_2 \ x_1x_0	00	01	11	10
00	-	1	0	0
01	0	0	1	1
11	1	0	-	1
10	1	0	0	0

2) La sintesi in forma SP può essere fatta come segue:



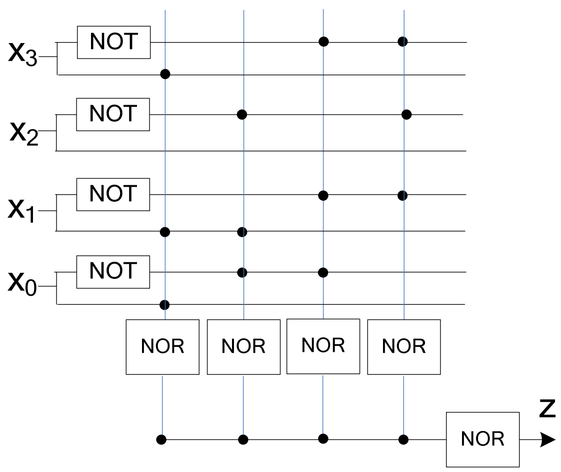
- Implicanti essenziali: A= $x_2 \cdot x_1$, B= $\overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}$
- Implicanti assolutamente eliminabili: *nessuno*
- Implicanti semplicemente eliminabili: C= $x_3 \cdot \overline{x_1} \cdot \overline{x_0}$, D= $\overline{x_2} \cdot \overline{x_1} \cdot \overline{x_0}$, E= $x_3 \cdot x_2 \cdot \overline{x_0}$
- Liste di copertura irridondanti: {A, B, C}, {A, B, D, E}
- Lista di copertura di costo minimo: {A, B, C}

Quindi, la sintesi di costo minimo in forma SP è: $z = (x_2 \cdot x_1) + (\overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}) + (x_3 \cdot \overline{x_1} \cdot \overline{x_0})$

3) La sintesi in accordo alla lista di copertura di costo minimo presenta delle alee statiche del 1° ordine sul livello 1, in corrispondenza delle transizioni 1110-1100 e 1000-0000. Per eliminare le suddette alee, è necessario introdurre gli implicanti che mancano (D e E).

1.9 Esercizio

Si consideri la seguente rete combinatoria:



1) Disegnare la mappa di Karnaugh
2) Nell'ipotesi che non si presentino mai i due stati di ingresso {x_3, x_2, x_1, x_0} = 1101 e {x_3, x_2, x_1, x_0} = 1000, inserire nella mappa i corrispondenti *non specificati*
3) Sulla mappa di cui al punto precedente:
   a. individuare e classificare gli implicanti principali
   b. produrre *tutte* le liste di copertura irridondanti, ed indicare quali sono di costo minimo (criterio a porte)
4) Considerata una delle liste di copertura irridondanti a costo minimo, verificare la eventuale presenza di alee, classificarle ed eliminarle.

Soluzione

1) La rete combinatoria di figura sintetizza la seguente legge:

$$z = \overline{\overline{\left(x_3 + x_1 + x_0\right)} + \overline{\left(\overline{x_2} + x_1 + \overline{x_0}\right)} + \overline{\left(\overline{x_3} + \overline{x_1} + \overline{x_0}\right)} + \overline{\left(\overline{x_3} + \overline{x_2} + \overline{x_1}\right)}}$$

$$= \overline{\left(\overline{x_3} \cdot \overline{x_1} \cdot \overline{x_0}\right) + \left(x_2 \cdot \overline{x_1} \cdot x_0\right) + \left(x_3 \cdot x_1 \cdot x_0\right) + \left(x_3 \cdot x_2 \cdot x_1\right)}$$

cui corrisponde la seguente prima mappa di Karnaugh

x_1x_0 \ x_3x_2	00	01	11	10
00	0	0	1	1
01	1	0	0	1
11	1	1	0	0
10	1	1	0	1

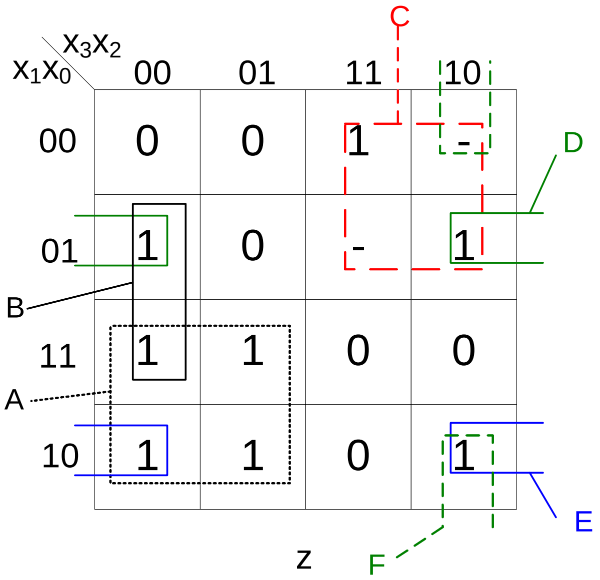
z

2) Dopo l'inserimento dei due non specificati, la mappa di Karnaugh diventa:

x_1x_0 \ x_3x_2	00	01	11	10
00	0	0	1	-
01	1	0	-	1
11	1	1	0	0
10	1	1	0	1

z

3) Per la mappa trovata si hanno gli implicanti principali elencati di seguito:



$A = \overline{x_3} \cdot x_1$, $B = \overline{x_3} \cdot \overline{x_2} \cdot x_1$, $C = x_3 \cdot \overline{x_1}$, $D = \overline{x_2} \cdot \overline{x_1} \cdot x_0$, $E = \overline{x_2} \cdot x_1 \cdot \overline{x_0}$, $F = x_3 \cdot \overline{x_2} \cdot \overline{x_0}$.

Di questi, A e C sono implicanti essenziali; nessun implicante è assolutamente eliminabile; B, D, E, F sono implicanti semplicemente eliminabili. Le possibili liste di copertura irridondanti sono {A,C,D,E}, {A,C,D,F}, {A,C,B,E}, {A,C,B,F}, tutte di costo identico.

4) Qualunque sia la lista di copertura scelta tra quelle sopra scritte, essa è soggetta ad alee statiche del 1° ordine sul livello 1 (essendo queste le uniche possibili su reti a 2 livelli in forma SP). Per eliminare le alee è necessario aggiungere i due implicanti mancanti. La lista di copertura priva di alee è pertanto unica ed è data da {A,B,C,D,E,F}. Osservando tuttavia che lo stato di ingresso 1000 non si può presentare, anche la lista {A,B,C,D,E} conduce ad una sintesi priva di alee.

1.10 Esercizio

Descrivere un incrementatore in base 7 in codifica 4-2-1. Chiamare z2, z1, z0 le variabili che supportano la cifra in uscita e c_{in} e c_{out} i riporti entranti ed uscente.
Tracciare la mappa di Karnaugh della variabile /z2 (**si noti** di /z2) e:

- individuare e classificare gli implicanti principali
- trovare tutte le liste di copertura irridondanti
- scegliere la lista di costo minimo secondo il criterio a diodi
- controllare se la sintesi così ottenuta è soggetta ad alee, ed eventualmente classificarle e rimuoverle

Effettuare infine la sintesi a porte NOR di *z*2 (**si noti** di *z*2).

NB: Al fine di rendere standard il layout delle mappe di Karnaugh, semplificando così la correzione dell'esercizio, si utilizzi c_{in} come la variabile di ingresso di ordine maggiore.

Una possibile soluzione

L'incrementatore in base 7 prende in ingresso una cifra in base 7, codificata su 3 variabili logiche $x_2 \ldots x_0$, più un riporto entrante c_{in}, e produce in uscita una cifra in base 7, codificata su 3 variabili logiche $z_2 \ldots z_0$, più un riporto entrante c_{out}. La tabella di verità è la seguente:

c_{in}	x_2	x_1	x_0	c_{out}	z_2	z_1	z_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	-	-	-	-
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	0
1	1	1	0	1	0	0	0
1	1	1	1	-	-	-	-

La mappa di Karnaugh per z_2 è la seguente:

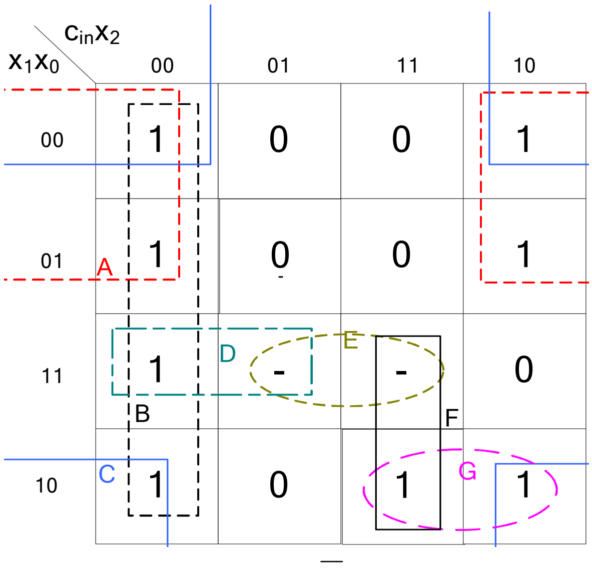
$x_1x_0 \backslash c_{in}x_2$	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	-	-	1
10	0	1	0	0

z_2

Da cui si ricava la mappa per $\overline{z_2}$, nella quale sono indicati anche gli implicanti principali.

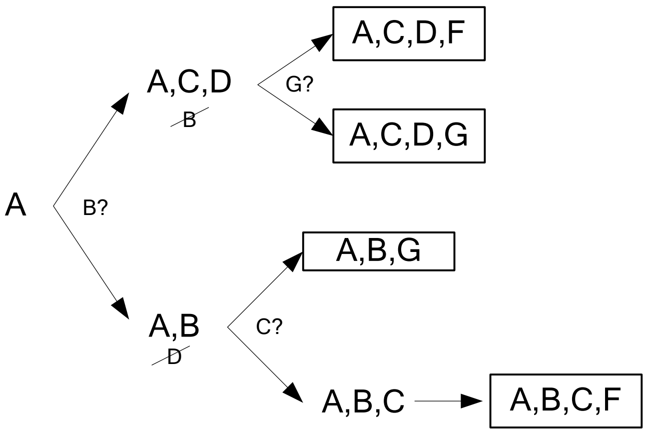
$A = \overline{x_2} \cdot \overline{x_1},\ B = \overline{c_{in}} \cdot \overline{x_2},\ C = \overline{x_2} \cdot \overline{x_0}$

$D = \overline{c_{in}} \cdot x_1 \cdot x_0,\ E = x_2 \cdot x_1 \cdot x_0,\ F = c_{in} \cdot x_2 \cdot x_1,\ G = c_{in} \cdot x_1 \cdot \overline{x_0}$



$\overline{z_2}$

L’unico implicante essenziale è A, E è assolutamente eliminabile e tutti gli altri sono semplicemente eliminabili. Le liste di copertura irridondanti sono quelle riquadrate nel disegno sottostante:



La lista di copertura di costo minimo rispetto al criterio a diodi è {A,B,G}, il cui costo è 10. La sintesi di costo minimo a porte NOR per z_2 è la seguente:

$\overline{z_2} = \overline{x_2} \cdot \overline{x_1} + \overline{c_{in}} \cdot \overline{x_2} + c_{in} \cdot x_1 \cdot \overline{x_0}$

$z_2 = \overline{\left(\overline{x_2 + x_1}\right) + \left(\overline{c_{in} + x_2}\right) + \left(\overline{\overline{c_{in}} + \overline{x_1} + x_0}\right)}$

La sintesi secondo la lista di copertura di costo minimo è soggetta ad alee statiche del primo ordine sul livello 1 per le transizioni $0010 \leftrightarrow 1010$, $1000 \leftrightarrow 1010$. Tali alee possono essere rimosse inserendo l'implicante C nella lista di copertura.

$z_2 = \overline{\left(\overline{x_2 + x_1}\right) + \left(\overline{c_{in} + x_2}\right) + \left(\overline{\overline{c_{in}} + \overline{x_1} + x_0}\right) + \left(\overline{x_2 + x_0}\right)}$

2 Esercizi sulle Reti Sequenziali Asincrone

2.1 Esercizio

Descrivere e sintetizzare a porte NOR la rete sequenziale ***asincrona*** con due variabili di ingresso x_1 e x_0 ed una variabile di uscita z, che si evolve come segue: se $x_1 = x_0$, allora $z = x_1 = x_0$; altrimenti, se $x_1 \neq x_0$, allora z commuta.

Soluzione

La rete sequenziale asincrona è descritta dalla seguente tabella di flusso:

x_1x_0	00	01	11	10	z
S_0	S_0	S_1	—	S_1	0
S_1	S_0	S_1	S_2	S_1	1
S_2	—	S_3	S_2	S_3	1
S_3	S_0	S_3	S_2	S_3	0

Gli stati S_0 ed S_2 sono gli stati in cui la rete si stabilizza quando i valori delle variabili di ingresso sono entrambi uguali rispettivamente a 0 e 1, mentre gli stati S_1 ed S_3 sono stati stabili raggiunti quando l'uscita commuta rispettivamente da 0 a 1, e da 1 a 0.

Adottando la codifica $S_0 = 00$, $S_1 = 01$, $S_2 = 11$, e $S_3 = 10$, la rete è esente da corse critiche. Con riferimento al modello strutturale con elementi neutri di ritardo (probabilmente non necessari in questo caso, perché la rete sembra non essere affetta da alee essenziali – per esserne sicuri andrebbe fatta una verifica sul circuito finale in base alla codifica effettuata), le mappe di Karnaugh relative alle uscite della rete combinatoria CN_1 sono:

y_1y_0 \ x_1x_0	00	01	11	10	z
00	00	01	- -	01	0
01	00	01	11	01	1
11	- -	10	11	10	1
10	00	10	11	10	0

a_1a_0

Una possibile coppia di forme PS corrispondenti (esenti da alee statiche) è:

$a_1 = (x_1 + x_0) \cdot (x_0 + y_1) \cdot (x_1 + y_1)$,

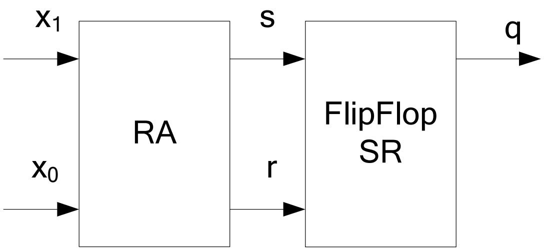
$a_0 = (x_1 + x_0) \cdot (x_0 + \overline{y}_1) \cdot (x_1 + \overline{y}_1)$.

Per la rete CN2, è immediato verificare che:

$z = y_0$.

2.2 Esercizio

Si consideri il seguente sistema



Descrivere e sintetizzare la rete sequenziale asincrona RA in modo tale che la variabile q *commuti* ogni qual volta si presenta in ingresso al sistema lo stato $x_1x_0 = 11$. Sintetizzare le reti combinatorie in forma SP, e calcolarne il costo a porte e a diodi.

NOTE

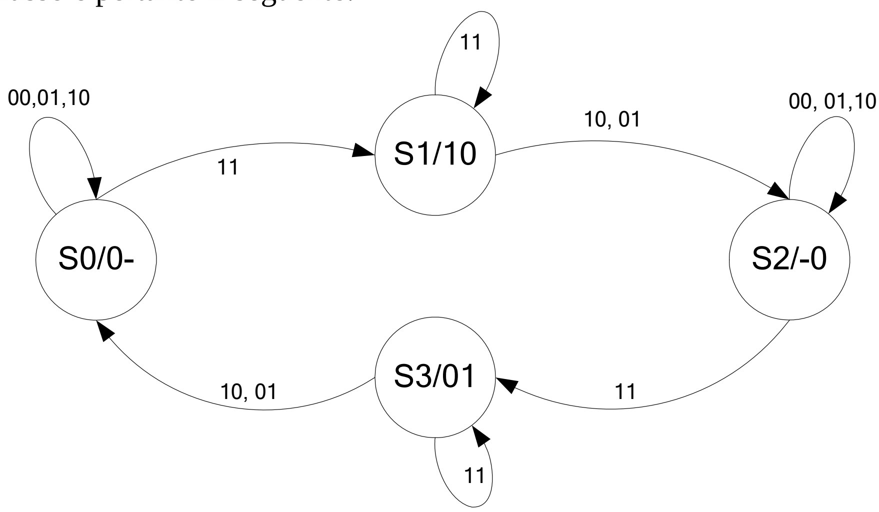
1. Si ricordi che RA è una rete sequenziale asincrona e quindi, quando riceve in ingresso $x_1x_0 = 11$, compie un passo e poi si stabilizza per tutto il tempo in cui lo stato di ingresso permane.
2. Non ci si preoccupi che il tutto risponda alle specifiche fin dall'arrivo del primo stato di ingesso $x_1x_0 = 11$ immediatamente successivo all'accensione.

Soluzione

La rete RA deve essere fatta in modo tale che le sue uscite siano

- alternativamente 10, 01 quando gli ingressi sono 11
- 00 in tutti gli altri casi.

Il diagramma di flusso è pertanto il seguente:



che corrisponde alla seguente tabella di flusso:

x_1x_0	00	01	11	10	sr
S0	S0	S0	S1	S0	0-
S1	--	S2	S1	S2	10
S2	S2	S2	S3	S2	-0
S3	--	S0	S3	S0	01

Adottando la codifica S0=00, S1=10, S2=11, S3=01, si ottiene per la rete CN2 l'espressione $s = y_1$, $r = \overline{y_1}$. Pertanto, il costo di CN2 è nullo.

Utilizzando come meccanismo di marcatura degli elementi neutri di ritardo, si ottengono le seguenti mappe per la rete combinatoria CN1:

y_1y_0 \ x_1x_0	00	01	11	10
00	0	0	1	0
01	--	0	0	0
11	1	1	0	1
10	--	1	1	1

a1

y_1y_0 \ x_1x_0	00	01	11	10
00	0	0	0	0
01	--	0	1	0
11	1	1	1	1
10	--	1	0	1

a0

Dalle quali si ottiene:

$$a_1 = y_1 \cdot \overline{y_0} + y_1 \cdot \overline{x_1} + y_1 \cdot \overline{x_0} + x_1 \cdot x_0 \cdot \overline{y_0} \, ,$$

$$a_0 = y_1 \cdot y_0 + y_1 \cdot \overline{x_1} + y_1 \cdot \overline{x_0} + x_1 \cdot x_0 \cdot y_0 \, .$$

Il costo a porte della rete CN1 è 8 (e non 10), in quanto le stesse due porte AND possono essere utilizzate contemporaneamente nella sintesi di a_1 ed a_0. Analogamente, il costo a diodi è 22 e non 26.

Impiegando invece dei Flip-Flop SR come elementi di marcatura, si ottengono le seguenti mappe per la rete CN1:

y_1y_0 \ x_1x_0	00	01	11	10
00	0-	0-	10	0-
01	--	0-	0-	0-
11	-0	-0	01	-0
10	--	-0	-0	-0

s1r1

y_1y_0 \ x_1x_0	00	01	11	10
00	0-	0-	0-	0-
01	--	01	-0	01
11	-0	-0	-0	-0
10	--	10	0-	10

s0r0

Dalle quali si ricava: $s_1 = x_1 \cdot x_0 \cdot \overline{y_0}$, $r_1 = x_1 \cdot x_0 \cdot y_0$, $s_0 = \overline{x_1} \cdot y_1 + \overline{x_0} \cdot y_1$, $r_0 = \overline{y_1} \cdot \overline{x_1} + \overline{y_1} \cdot \overline{x_0}$. Il costo a porte è 8; il costo a diodi è 16.

3 Esercizi sulle Reti Sequenziali Sincronizzate

3.1 Esercizio

<u>Descrivere</u> e <u>sintetizzare a porte NOR</u> una rete sequenziale sincronizzata di Mealy che ha due variabili di ingresso x_1 e x_0, ed una variabile di uscita z. La rete evolve nel seguente modo: se lo stato d'ingresso corrente è uguale al precedente, z = and(x_1, x_0), altrimenti, se lo stato d'ingresso corrente non è uguale al precedente, z = xor(x_1, x_0). Nota: il primo stato di uscita della rete è non significativo.

Soluzione

Nello stato S0 la rete ricorda che ha precedentemente ricevuto in ingresso 00
Nello stato S1 la rete ricorda che ha precedentemente ricevuto in ingresso 01
Nello stato S2 la rete ricorda che ha precedentemente ricevuto in ingresso 11
Nello stato S3 la rete ricorda che ha precedentemente ricevuto in ingresso 10

Quindi:

	00	01	11	10
S0	s0	S1	S2	s3
S1	s0	S1	S2	s3
S2	s0	S1	S2	s3
S3	s0	S1	S2	s3

Stato interno successivo

	00	01	11	10
S0	and	xor	xor	xor
S1	xor	and	xor	xor
S2	xor	xor	and	xor
S3	xor	xor	xor	and

z

La tabella di flusso che descrive la rete è pertanto la seguente:

x_1x_0	00	01	11	10
S_0	$S_0/0$	$S_1/1$	$S_2/0$	$S_3/1$
S_1	$S_0/0$	$S_1/0$	$S_2/0$	$S_3/1$
S_2	$S_0/0$	$S_1/1$	$S_2/1$	$S_3/1$
S_3	$S_0/0$	$S_1/1$	$S_2/0$	$S_3/0$

Adottando le codifiche S_0 = 00, S_1 = 01, S_2 = 11, e S_3 = 10, con riferimento al modello strutturale con flip-flop D-positive-edge-triggered come elementi di registro, una possibile implementazione della rete è la seguente:

$a_1 = x_1$, $a_0 = x_0$ (la rete che calcola lo stato successivo è costituita da due cortocircuiti)

$$z = (x_1 + x_0)\cdot(\bar{x}_0 + y_1 + \bar{y}_0)\cdot(\bar{x}_1 + \bar{y}_1 + y_0)\cdot(\bar{x}_1 + \bar{x}_0 + y_1)$$

3.2 Esercizio

1) Descrivere una rete sequenziale sincronizzata di Moore che ha due variabili di ingresso *j* e *k*, ed una variabile di uscita *q* e si comporta come il flip-flop JK, differenziandosene per la diversa evoluzione nel solo caso $j = k = 1$.

   In tal caso infatti porta *q* ad 1 se la volta precedente in cui lo stato d'ingresso $j = k = 1$ si era presentato, l'uscita era stata resettata; porta *q* a 0 se la volta precedente in cui lo stato d'ingresso $j = k = 1$ si era presentato, l'uscita era stata settata.

   NOTA: la prima volta che si presenta lo stato d'ingresso $j = k = 1$, allora porta q ad 1 .
2) Sintetizzare la rete a porte NOR

Soluzione

La tabella di flusso che descrive la rete è la seguente:

j k	00	01	11	10	*q*
S_0	S_0	S_0	S_2	S_1	0
S_1	S_1	S_0	S_2	S_1	1
S_2	S_2	S_3	S_0	S_2	1
S_3	S_3	S_3	S_0	S_2	0

Adottando le codifiche S_0 = 00, S_1 = 01, S_2 = 11, e S_3 = 10, con riferimento al modello strutturale con flip-flop D-positive-edge-triggered come elementi di registro, una possibile implementazione della rete è la seguente:

$$a_1 = \overline{\overline{(j + y_1)} + \overline{(k + y_1)} + \overline{(\bar{j} + \bar{k} + \bar{y}_1)}}$$

$$a_0 = \overline{\overline{(j + \bar{k})} + \overline{(j + y_0)} + \overline{(\bar{k} + \bar{y}_1)}}$$

$$q = y_0$$

3.3 Esercizio

Descrivere e sintetizzare la rete sequenziale sincronizzata di Moore riconoscitore della sequenza **0**,**1**,**0**,**1**,**1**.

Soluzione

Descrizione: La tabella di flusso per il riconoscitore è la seguente:

x	0	1	z
S_0	S_1	S_0	0
S_1	S_1	S_2	0
S_2	S_3	S_0	0
S_3	S_1	S_4	0
S_4	S_1	S_5	0
S_5	S_1	S_0	1

Sintesi: Con riferimento al modello strutturale con un registro come elemento di memoria, la rete CN1 ha quattro ingressi (x, y_2, y_1 e y_0) e tre uscite (a_2, a_1 e a_0), la rete CN2 tre ingressi (y_2, y_1 e y_0) ed una uscita (z). Assumendo la seguente codifica degli stati interni:

Stato interno	Codifica
S_0	000
S_1	001
S_2	010
S_3	011
S_4	100
S_5	101

si ottengono, dalla tabella delle transizioni, le seguenti mappe di Karnaugh per le reti CN1 e CN2:

y_1y_0 \ xy_2	00	01	11	10
00	001	001	101	000
01	001	001	000	010
11	001	---	---	100
10	011	---	---	000

$a_2a_1a_0$

y_1y_0 \ y_2	0	1
00	0	0
01	0	1
11	0	-
10	0	-

z

Ne deriva:

$a_2 = xy_1y_0 + xy_2\overline{y}_0$ $\quad$ $a_1 = \overline{x}y_1\overline{y}_0 + x\overline{y}_2\overline{y}_1y_0$ $\quad$ $a_0 = \overline{x} + y_2\overline{y}_0$ $\quad$ $z = y_2y_0$

3.4 Esercizio

Descrivere e sintetizzare una rete sincronizzata con **tre** ingressi *a*,*b*,*c* ed un'uscita *z*. L'uscita è sempre a zero, tranne quando si presenta una sequenza di tre stati di ingresso consecutivi aventi le seguenti caratteristiche:

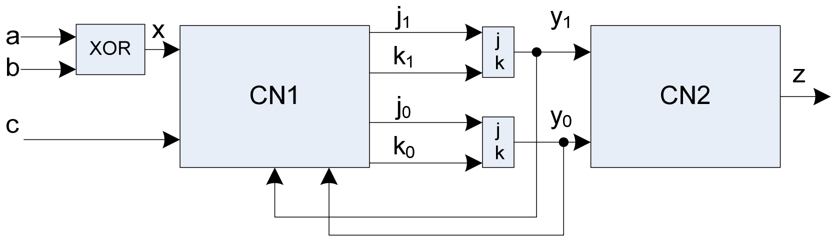
Primo stato di ingresso: a=b, c=0
Secondo stato di ingresso: a!=b, c=0
Terzo stato di ingresso: a=b, c=1

Ad esempio, le sequenze di stati di ingresso 000, 100, 001 e 110, 010, 001 sono riconosciute dalla rete.
Utilizzare per la rete il <u>modello di Moore</u>, eventualmente <u>preceduto da una piccola rete</u> combinatoria che semplifichi la trattazione.

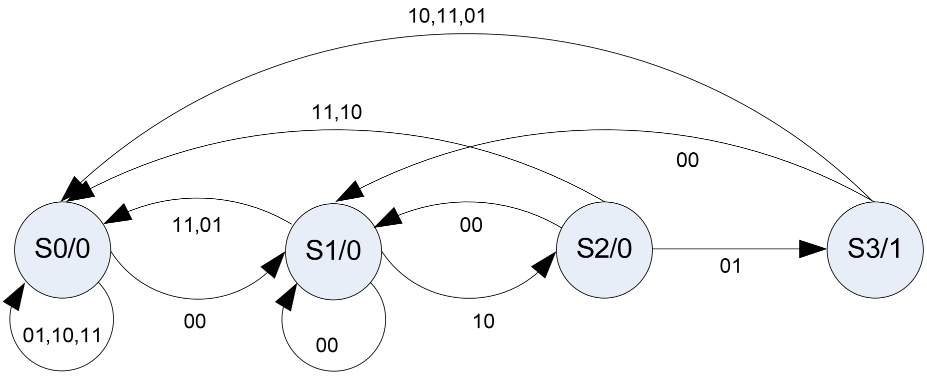
Una possibile soluzione

Posto x= a XOR b si può descrivere e sintetizzare una rete me una prima rete combinatoria XOR seguita da una banale rete sequenziale sincronizzata di Moore con due variabili di ingresso x e c , che riconosca la sequenza:

1) x=0, c=0
2) x=1, c=0
3) x=0, c=1



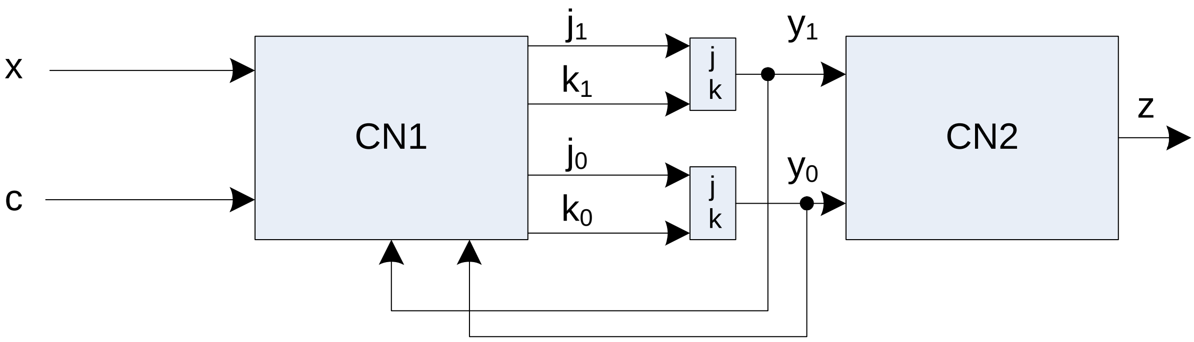
Il grafo di flusso della nuova rete è il seguente



La tabella di flusso equivalente è:

	x c 00	01	11	10	*z*
S0	S1	S0	S0	S0	0
S1	S1	S0	S0	S2	0
S2	S1	S3	S0	S0	0
S3	S1	S0	S0	S0	1

Se usiamo flip-flop JK come elementi di marcatura, si ha:



Scegliendo per gli stati la codifica S0=00, S1=01, S2=11, S3=10, si ottiene che la rete CN2 è $z = y_1 \cdot \overline{y_0}$. Utilizzando questa codifica e la tabella di applicazione del ff JK, si ottiene quanto segue:

$y_1\, y_0$ \ *x c*	00	01	11	10
00	0-	0-	0-	0-
01	0-	0-	0-	1-
11	-1	-0	-1	-1
10	-1	-1	-1	-1

j_1, k_1

$y_1 y_0$ \ $x\,c$	00	01	11	10
00	1-	0-	0-	0-
01	-0	-1	-1	-0
11	-0	-1	-1	-1
10	1-	0-	0-	0-

j_0,k_0

da cui

$j_1 = x \cdot \overline{c} \cdot y_0$, $k_1 = \overline{y_0} + x + \overline{c}$, $j_0 = \overline{x} \cdot \overline{c}$, $k_0 = c + x \cdot y_1$

3.5 Esercizio

Si consideri una rete sequenziale sincronizzata di Moore con due variabili di ingresso e due variabili di uscita. Interpretando le due variabili di uscita come un numero naturale a due cifre in base due, il comportamento della rete è il seguente:

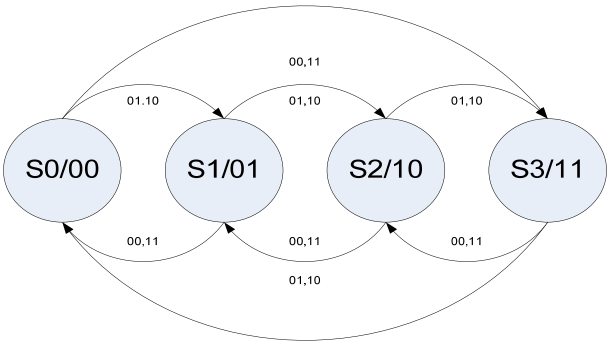
- quando gli ingressi sono *diversi*, la rete conta in avanti (modulo 4)
- quando gli ingressi sono *uguali*, la rete conta all'indietro (modulo 4)

Descrivere e sintetizzare la rete. Calcolare il costo (a porte e a diodi) della rete combinatoria CN1.

Parte facoltativa: sintetizzare la rete CN1 utilizzando *esclusivamente* porte XOR a due ingressi e porte NOT. Calcolare il costo (a porte e a diodi) della rete combinatoria CN1 così realizzata.

Soluzione

Il diagramma e la tabella di flusso della rete in questione sono riportati in figura



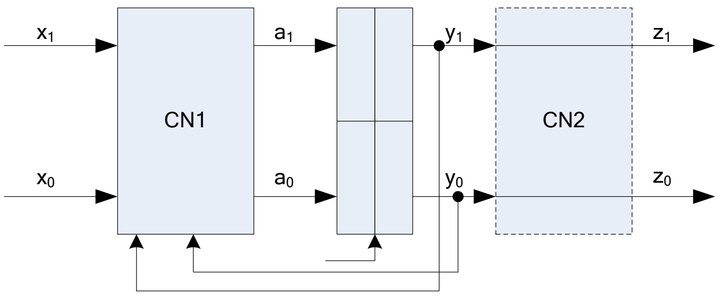
	x_1x_0 00	01	11	10	z_1z_0
S0	S3	S1	S3	S1	00
S1	S0	S2	S0	S2	01
S2	S1	S3	S1	S3	10
S3	S2	S0	S2	S0	11

Scegliendo per ciascuno stato una codifica su due bit equivalente al valore che le variabili di uscita assumono in quello stato, si ottiene una rete CN2 di complessità nulla, quale che sia il modello strutturale usato.

Utilizzando un modello strutturale che prevede flip-flop D-positive-edge-triggered come meccanismi di marcatura, la mappa di Karnaugh per la rete CN1 è la seguente:

	y_1y_0 \ x_1x_0	00	01	11	10
S0	00	11	01	11	01
S1	01	00	10	00	10
S3	11	10	00	10	00
S2	10	01	11	01	11

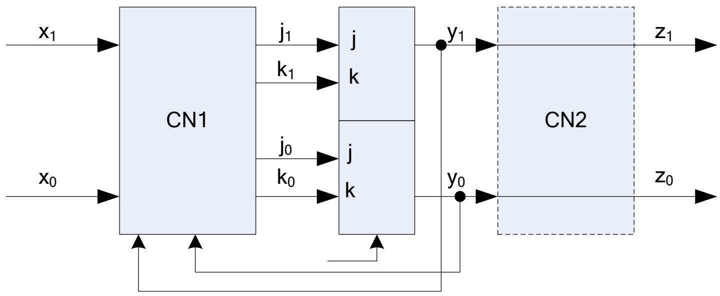
a_1a_0



Dalle mappe di Karnaugh sopra riportate si ricava la seguente sintesi SP:

$$a_1 = \overline{y_1} \cdot \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_1} \cdot \overline{y_0} \cdot x_1 \cdot x_0 + \overline{y_1} \cdot y_0 \cdot \overline{x_1} \cdot x_0 + \overline{y_1} \cdot y_0 \cdot x_1 \cdot \overline{x_0}$$
$$+ y_1 \cdot \overline{y_0} \cdot \overline{x_1} \cdot x_0 + y_1 \cdot \overline{y_0} \cdot x_1 \cdot \overline{x_0} + y_1 \cdot y_0 \cdot \overline{x_1} \cdot \overline{x_0} + y_1 \cdot y_0 \cdot x_1 \cdot x_0$$
$$a_0 = \overline{y_0}$$
Il cui costo a porte è 9 ed il cui costo a diodi è 40.

Volendo, si possono utilizzare flip-flop JK come meccanismo di marcatura. In questo caso, ricaviamo la tabella per la rete CN1 a partire dalla tabella di flusso e dalla tabella di applicazione del flip-flop JK



Vecchio valore	Nuovo valore	jk
0	0	0-
0	1	1-
1	0	-1
1	1	-0

	y_1y_0 \ x_1x_0	00	01	11	10
S0	00	1-	0-	1-	0-
S1	01	0-	1-	0-	1-
S3	11	-0	-1	-0	-1
S2	10	-1	-0	-1	-0

j_1k_1

	y_1y_0 \ x_1x_0	00	01	11	10
S0	00	1-	1-	1-	1-
S1	01	-1	-1	-1	-1
S3	11	-1	-1	-1	-1
S2	10	1-	1-	1-	1-

j_0k_0

Dalle mappe di Karnaugh sopra riportate si ricava la seguente sintesi SP:
$$j_1 = k_1 = \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_0} \cdot x_1 \cdot x_0 + y_0 \cdot x_1 \cdot \overline{x_0} + y_0 \cdot \overline{x_1} \cdot x_0$$
$$j_0 = k_0 = 1$$
Il cui costo a porte è 5 ed il cui costo a diodi è 16.

Parte facoltativa:
Relativamente al modello con flip-flop D-positive-edge-triggered, la variabile a_1 può essere riscritta come segue:
$$a_1 = \overline{y_1} \cdot \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_1} \cdot \overline{y_0} \cdot x_1 \cdot x_0 + \overline{y_1} \cdot y_0 \cdot \overline{x_1} \cdot x_0 + \overline{y_1} \cdot y_0 \cdot x_1 \cdot \overline{x_0}$$
$$+ y_1 \cdot \overline{y_0} \cdot \overline{x_1} \cdot x_0 + y_1 \cdot \overline{y_0} \cdot x_1 \cdot \overline{x_0} + y_1 \cdot y_0 \cdot \overline{x_1} \cdot \overline{x_0} + y_1 \cdot y_0 \cdot x_1 \cdot x_0$$
$$= \left[\left(\overline{y_1} \cdot \overline{y_0} + y_1 \cdot y_0\right) \cdot \left(\overline{x_1} \cdot \overline{x_0} + x_1 \cdot x_0\right)\right] + \left[\left(\overline{y_1} \cdot y_0 + y_1 \cdot \overline{y_0}\right) \cdot \left(\overline{x_1} \cdot x_0 + x_1 \cdot \overline{x_0}\right)\right]$$
$$= \left[\left(\overline{y_1 \oplus y_0}\right) \cdot \left(\overline{x_1 \oplus x_0}\right)\right] + \left[\left(y_1 \oplus y_0\right) \cdot \left(x_1 \oplus x_0\right)\right]$$
$$= \overline{\left(y_1 \oplus y_0\right) \oplus \left(x_1 \oplus x_0\right)}$$
dal che si ricava che, utilizzando soltanto porte XOR e NOT, il costo a porte è 3 e quello a diodi è 6.

Relativamente al modello con flip-flop JK, nella sintesi SP di j_1e k_1 i valori non specificati sono stati assunti come 1 o 0 in accordo alla procedura di sintesi a costo minimo in forma SP di reti parzialmente specificate. Assumendo invece pari ad 1 i valori non specificati corrispondenti alle caselle evidenziate nelle mappe sottostanti, è immediato ottenere che $k_1 = \overline{j_1} = \left(y_1 \otimes y_0\right) \otimes \left(x_1 \otimes x_0\right)$.

	y_1y_0 \ x_1x_0	00	01	11	10
S0	00	1-	0-	1-	0-
S1	01	0-	1-	0-	1-
S3	11	-0	-1	-0	-1
S2	10	-1	-0	-1	-0

j_1

	y_1y_0 \ x_1x_0	00	01	11	10
S0	00	1-	0-	1-	0-
S1	01	0-	1-	0-	1-
S3	11	-0	-1	-0	-1
S2	10	-1	-0	-1	-0

k_1

Quindi, utilizzando soltanto porte XOR e NOT il costo a porte è 3 e quello a diodi 6.