

Esercizi sulle Reti Sequenziali Sincronizzate

Corso di Laurea di Ing. Gestionale e di Ing. delle Telecomunicazioni

A.A. 2008-2009

- Disegnare il grafo di stato di una RSS di Moore avente tre ingressi A, B, C e tre uscite Z₂, Z₁, Z₀. Le tre uscite prese nell'ordine indicato rappresentano in ciascun istante, ed in binario naturale, il nuovo Z. Vale la relazione $z = |a + b + c|_5$, essendo a, b e c il numero degli 1 logici che sono stati presentati fino all'istante considerato, agli ingressi A, B e C rispettivamente. La macchina è dotata di reset asincrono.
- Seguendo il modello di macchina sequenziale sincronizzata di Moore avente un FF D+edge triggered e un FF JK, sintetizzare la macchina descritta dalle tabelle sotto utilizzando l'assegnamento seguente: indicato

(cod.)	y ₁	y ₀	i ₁	i ₀	00	01	11	10	Z ₂	Z ₁	Z ₀
00	A	B	C	C	C	0	0	0	0	0	0
01	B	C	A	B	C	0	0	0	0	0	0
11	C	D	B	A	A	0	1	1	0	1	1
10	D	A	C	D	A	1	1	1	1	1	1

- Disegnare il grafo di stato di una macchina sequenziale sincronizzata di Moore avente un ingresso I ed un'uscita Z. L'uscita Z passa ad 1 quando all'ingresso I è stata presentata la sequenza 0000 oppure la sequenza 1111 (sequenze disgiunte).
- Seguendo il modello di macchina sequenziale sincronizzata di Moore avente un FF D+edge triggered e un FF JK, sintetizzare la macchina descritta dalle tabelle sotto utilizzando l'assegnamento seguente: indicato

(cod.)	y ₁	y ₀	x	0	1	Z ₁	Z ₀
00	A	A	B	0	0	0	0
01	B	C	A	0	1	0	1
11	C	D	A	1	1	1	1
10	D	A	A	0	0	0	0

- Sintetizzare la RSS di Moore che riconosce le sequenze 0,1,0,0 interallacciate.
- Disegnare il grafo di stato di una macchina sequenziale sincronizzata di Moore avente due ingressi X ed Y e due uscite U e V. L'uscita U assume il valore logico 1 quando il numero totale di 1 logici presentati fino a quel momento ai due ingressi è pari; l'uscita V assume il valore logico 1 quale tale numero totale è multiplo di 4 (si consideri lo zero come multiplo di 4).
- Realizzare un circuito sequenziale sincronizzato con FF JK che riconosca la sequenza 1,0,1 interallacciata.
- Disegnare il diagramma di stato di una RSS di Moore che riconosca ambedue le sequenze 0,1,0,0 e 0,1,0,1 interallacciate. La rete ha due uscite Z₁ e Z₀: Z₁ va a 1 se si presenta una delle due sequenze, Z₀ dice quale sequenza si è presentata: (Z₀=1 quando si presenta 0,1,0,0; Z₀=0 altrimenti).
- Disegnare il grafo di stato di una macchina sequenziale sincronizzata di Moore avente due ingressi I e R e due uscite U e V. La variabile R resetta la macchina. Le uscite U e V specificano la lunghezza dell'ultima sequenza di valori identici di I, a partire dal tempo di

clock successivo a quello di Reset. In particolare, se tale sequenza è lunga 1, le uscite valgono $U=0, V=1$; se è lunga 2, le uscite valgono $U=1, V=0$; se è lunga 3 o più di 3, le uscite valgono $U=V=1$. Nell'intervallo tra l'istante di Reset ed il primo clock ad esso successivo, le uscite valgono $U=V=0$.

10. Disegnare il grafo di stato di una macchina sequenziale di Moore avente in ingresso I ed in uscita Z. L'uscita Z passa ad 1 quando all'ingresso I è stata presentata la sequenza 0,0,0,0 oppure la sequenza 1,1,1,1. Disegnare il grafo sia nel caso di sequenze disgiunte che nel caso di sequenze interallacciate.
11. Realizzare un riconoscitore della 11,01,00 sequenza tramite una RSS. Implementare usando Flip-Flop D+edge-triggered, come reti di marcatura. Implementare anche con FlipFlop JK come rete di marcatura.
12. Realizzare un riconoscitore della 01,11 sequenza tramite una RSS. Implementare usando Flip-Flop D+edge-triggered, come reti di marcatura. Implementare anche con FlipFlop JK come rete di marcatura.
13. Realizzare un riconoscitore della sequenza 00,01,11,01 tramite una RSS. Implementare usando Flip-Flop D+edge-triggered, come reti di marcatura.
14. Realizzare un riconoscitore della sequenza 10,11,10 tramite una RSS. Implementare usando i Flip-Flop D+edge-triggered come reti di marcatura. Inoltre, implementare anche usando i Flip-Flop JK come reti di marcatura.
15. Realizzare un riconoscitore della sequenza 00,11,11 tramite una RSS. Implementare usando i Flip-Flop D+edge-triggered come reti di marcatura. Inoltre, implementare anche usando i Flip-Flop JK come reti di marcatura.

Reti Sequenziali Sincrone di Mealy Ritardato

16. Sintetizzare un circuito sequenziale di Mealy ritardato che riconosca le sequenze di ingresso 1,0,0,1 *interallacciate*.
17. Descrivere, come rete sincronizzata di Mealy ritardato, un riconoscitore della sequenza 0,1,1,0.
18. Descrivere come circuito sequenziale di Mealy ritardato un riconoscitore della sequenza d'ingresso 11,00,10.
19. Descrivere una RSS di Mealy ritardato che riconosca sia la sequenza del tipo 1,0 che la sequenza 0,1 purché non sovrapposte. Eliminare eventuali stati equivalenti.

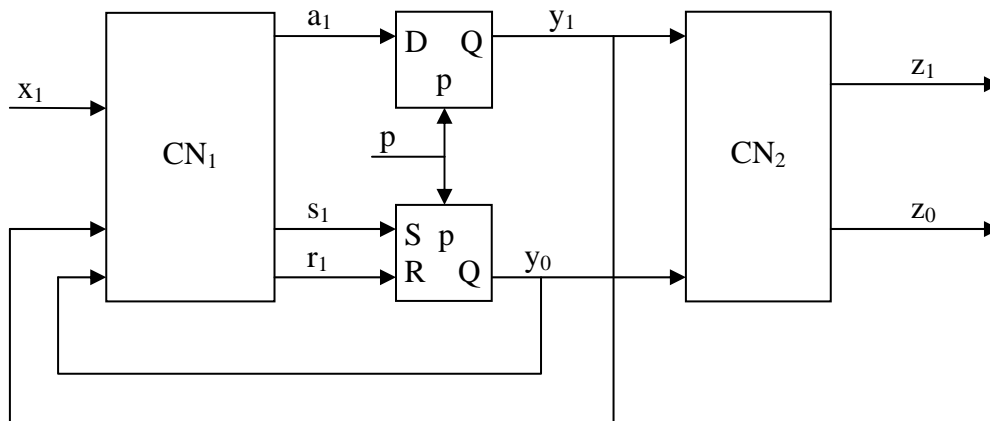
Esercizi presenti nei testi d'esame precedenti

Esercizio 2005-11-07, n. 4

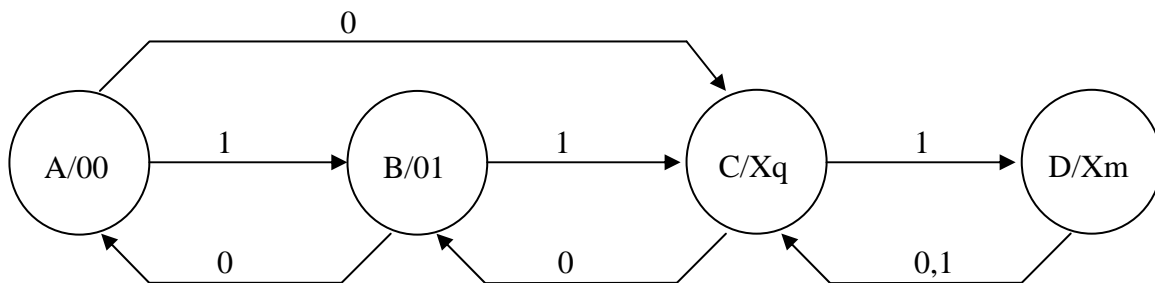
Si disegni il diagramma di flusso di una *rete sequenziale sincrona di Moore* avente due piedini in ingresso i e $/r$ e due uscite z_1 e z_0 , avente il seguente comportamento: quando sul piedino $/r$ è presente uno 0 entrambe le uscite vengono portate al valore 0. Quando $/r$ vale 1 l'uscita z_1 va a 1 quando sul piedino arriva la sequenza di bit identificata da $\langle 01 \rangle$. Le sequenze sono disgiunte.

Esercizio 2005-11-07, n. 5

Si consideri il modello di *rete sequenziale sincrona di Moore* mostrato nella figura seguente:



e si consideri quindi il seguente diagramma di stato:



Sintetizzare la rete descritta, utilizzando il seguente assegnamento per gli stati:

A: $y_1y_0 = 00$,

B: $y_1y_0 = 01$,

C: $y_1y_0 = 11$,

D: $y_1y_0 = 10$.

Esercizio 2005-12-12

Si consideri una Rete Sequenziale Sincrona di Moore avente tre ingressi x_2 , x_1 , e x_0 e due uscite z_1 , z_0 . Le due uscite, prese nell'ordine indicato rappresentano, in ciascun istante, ed in binario naturale, il numero Z . Vale la relazione: $Z = |x_2 - x_1 + x_0|_4$, essendo x_2 , x_1 , e x_0 il numero degli "1" logici che si sono presentati, fino all'istante considerato, agli ingressi x_2 , x_1 , e x_0 rispettivamente.

Disegnare il grafo di stato.

Esercizio 2006-01-10 e 2007-09-26

Realizzare un circuito sequenziale sincronizzato con Flip-Flop J-K che riconosca le sequenze le sequenze **0,1,0** interallacciate.

Esercizio 2006-03-31

Realizzare un circuito sequenziale sincronizzato di Moore con Flip-Flop S-R che riconosca la sequenza **0,1,0,0** interallacciata.

Esercizio 2006-04-26

Realizzare un circuito sequenziale sincronizzato di Moore con Flip-Flop S-R che riconosca la sequenza **0,0,1,0** interallacciata.

Esercizio 2006-09-11

Realizzare un circuito sequenziale sincronizzato con Flip-Flop J-K che riconosca la sequenza **101** (interallacciata).

Esercizio 2006-09-25

Realizzare un circuito sequenziale sincronizzato con Flip-Flop D+edge-triggered che riconosca le sequenze le sequenze **0,1,0,0** interallacciate.

Esercizio 2006-11-02, n. 4

Si vuole descrivere il comportamento di un semaforo con quattro lampade tramite una *rete sequenziale sincronizzata di Moore*. Il semaforo commuta periodicamente il suo stato come indicato in figura:

R		
		G
	V	

La rete che descrive il semaforo ha in ingresso, oltre al segnale di clock, un piedino x che:

- quando è posto a 1 abilita il funzionamento del semaforo nel modo indicato;
- quando è posto a 0 spegne il semaforo.

Questa rete ha tre piedini di uscita, z_R , z_G e z_V , ognuno del quale quando vale 1 accende una la corrispondente lampada del semaforo.

Si scelga la codifica degli stati in modo che questi siano adiacenti.

Si chiede di:

- 1) disegnare il diagramma di flusso;
- 2) disegnare il modello strutturale in cui la sottorete SN è composta da un flip-flop D-positive-edge-triggered (per la variabile di stato più significativa, y_1) e da un flip-flop SR sincronizzato (per la variabile di stato meno significativa, y_0);
- 3) eseguire la sintesi algebrica e circuitale.

Esercizio 2006-11-02, n. 5

Si consideri una *rete sequenziale sincronizzata di Mealy ritardato* avente due ingressi x_1 e x_2 ed una uscita z .

L'uscita z vale 1 quando la rete riconosce sui piedini di ingresso la sequenza 00,01,10,11.

Si chiede di:

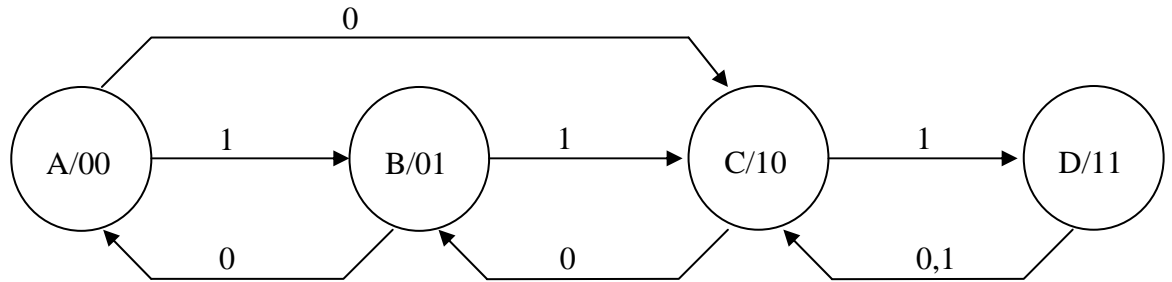
- 1) disegnare il diagramma di flusso;
- 2) disegnare il modello strutturale a cui fare riferimento per la sintesi;
- 3) eseguire la sintesi algebrica e circuitale.

Esercizio 2006-12-11

Realizzare un circuito sequenziale sincronizzato di Moore con Flip-Flop S-R che riconosca la sequenza **0,1,1,0** interallacciata.

Esercizio 2007-01-12

Realizzare tramite una *rete sequenziale sincronizzata di Moore* un circuito che ha un piedino di ingresso x e due piedini di uscita z_1 e z_2 , e che ha implementi il seguente diagramma di stato:



Si scelga la codifica degli stati in modo che questi siano adiacenti.

Si chiede di:

- 1) disegnare il modello strutturale in cui la sottorete SN è composta da flip-flop J-K;
- 2) eseguire la sintesi algebrica e circuitale.

Esercizio 2007-03-29

Realizzare tramite una *rete sequenziale sincronizzata di Moore* con flip-flop J-K che riconosca la sequenza 101.

Si scelga la codifica degli stati in modo che questi siano adiacenti. Si chiede di:

- 1) disegnare il diagramma di stato;
- 2) disegnare il modello strutturale;
- 3) eseguire la sintesi algebrica e circuitale.

Esercizio 2007-09-06

Realizzare un circuito sequenziale sincronizzato con Flip-Flop D+edge-triggered che riconosca le sequenze le sequenze **0,1,1,0** interallacciate.

Esercizio 2007-11-09

Si consideri una rete sequenziale sincronizzata di Moore con due variabili di ingresso x_1 e x_0 e due variabili di uscita z_1 e z_0 . Interpretando le due variabili di uscita come un numero naturale a due cifre in base due, il comportamento della rete è il seguente:

- quando $x_1 = 1$, se $x_0 = 0$ viene conservato il valore dell'uscita, se $x_0 = 1$ la rete incrementa (modulo 2) il numero naturale rappresentato sulle uscite;
- quando $x_1 = 0$ la rete azzerà il valore delle uscite indipendentemente dal valore di x_0 .

Si chiede di:

- 1) disegnare il diagramma di flusso (2pt);
- 2) disegnare il modello strutturale in cui la sottorete sequenziale sia composta da flip-flop J-K (1pt);
- 3) riferendosi al modello strutturale considerato al punto precedente, eseguire la sintesi algebrica e circuitale (4pt).

Esercizio 2007-12-13

Si consideri una rete sequenziale sincronizzata di Moore con due variabili di ingresso e due variabili di uscita. Interpretando le due variabili di uscita come un numero naturale a due cifre in base due, il comportamento della rete è il seguente:

- quando gli ingressi sono *diversi*, la rete conta in avanti (modulo 4);
- quando gli ingressi sono *uguali*, la rete conta all'indietro (modulo 4).

Si chiede di:

- 4) disegnare il diagramma di flusso (2pt);
- 5) disegnare il modello strutturale in cui la sottorete sequenziale sia composta da flip-flop J-K (1pt);

- 6) riferendosi al modello strutturale considerato al punto precedente, eseguire la sintesi algebrica e circuitale (4pt).

Esercizio 2008-01-08

Si consideri una rete sequenziale sincronizzata di Mealy ritardato con una variabile di ingresso e una variabile di uscita il cui compito è di riconoscere le sequenze di ingresso 1,0,0,1 *interallacciate*.

Si chiede di:

- 7) disegnare il diagramma di flusso (2pt);
- 8) disegnare il modello strutturale (1pt);
- 9) eseguire la sintesi algebrica e circuitale (4pt).